

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010009012 A
 (43)Date of publication of application: 05.02.2001

(21)Application number: 1019990027136
 (22)Date of filing: 06.07.1999

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: KIM, HYEON JAE
 SONG, JIN HO

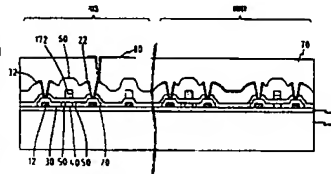
(51)Int. Cl G02F 1/136

(54) METHOD OF MAKING PANEL OF THIN FILM TRANSISTOR SIDE

(57) Abstract:

PURPOSE: A method of making a panel of a thin film transistor side is provided to reduce an etching process by making a color layer function as an insulating film on a transistor electrode.

CONSTITUTION: The method of making a panel of a thin film transistor side comprises forming an active pattern of a polysilicon layer at a glass substrate (10), sequentially forming a gate insulating film and a gate metal layer on the active pattern, forming a gate electrode for a p-type transistor by patterning the gate insulating film and the gate metal layer,



implanting ions at a p-type transistor region, stacking a gate auxiliary metal layer, forming a gate electrode(172) at an n-type transistor, implanting high-concentration ions at an n-type transistor region, removing the gate auxiliary metal layer, forming a color filter layer(60) at a pixel part and a glass region except for a contact, forming source and drain electrodes(32,22), forming an organic insulating film(70) on the drain electrode(22), forming a via hole and forming a pixel electrode(80).

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20040705)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20060821)

Patent registration number (1006450360000)

Date of registration (20061103)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶

G02F 1/136

(11) 공개번호 특2001-0009012

(43) 공개일자 2001년02월05일

(21) 출원번호 10-1999-0027136

(22) 출원일자 1999년07월06일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자

경기 수원시 팔달구 매탄3동 416

송진호

경기도수원시팔달구영통동황골마을쌍용APT242-1804호

김현재

경기도용인시수지읍죽전리벽산아파트303-704

(74) 대리인

임창현, 권혁수

심사청구 : 없음

(54) 액정표시장치의 박막트랜지스터층 패널 및 그 형성방법

요약

본 발명인 액정표시장치의 트랜지스터층 패널과 그 형성방법에 관한 것이다.

본 발명의 패널은 패널 내면에 형성된 탑 게이트 방식 폴리실리콘형 박막트랜지스터에서 컬러필터층이 트랜지스터의 게이트 전극 바로 위에 형성되고 상기 컬러필터층을 통과하면서 이루어지는 콘택을 통해 소오스 드레인 전극이 각각 폴리실리콘층으로 형성된 소오스 드레인 영역과 전기적 접속을 이루는 것을 특징으로 하고, 글래스 기판에 폴리실리콘층 액티브 패턴을 형성하고, 상기 액티브 패턴 위로 게이트 절연막을 적층하고 다시 게이트 메탈층 적층, P형 트랜지스터의 게이트 전극 패터닝, P형 이온주입, 게이트 보조 메탈층 적층, N형 트랜지스터 게이트 전극 언더 컷 구조 패터닝, 고농도 N형 이온주입, 게이트 보조 메탈층 제거 단계를 통해 형성한 박막 트랜지스터 전극 위로 종래의 단순 절연막 대신, 3 단계로 감광성 유기 절연막으로 이루어진 컬러층을 적층하고 콘택을 제외한 해당 화소부와 주변부에 패턴을 형성한 다음, 컬러층 위로 다시 전극층을 적층 패터닝하여 전극을 형성하고, 전극 위로 유기 절연막을 형성하고 드레인 전극 위로 비아 콘택을 형성한 다음 화소전극을 패턴 형성하는 단계가 순차적으로 구비되어 이루어진다.

대표도

도9

색인어

폴리실리콘, 컬러필터

명세서

도면의 간단한 설명

도1은 글래스 기판에 블로킹(Blocking)층을 전면 적층한 다음 버퍼(buffer) 패턴을 형성한 상태를 나타낸다.

도2는 도1의 상태에서 전면에 LPCVD(저압 화학기상증착)를 통해 아몰퍼스 실리콘막을 적층하고 레이저 조사를 통해 저온 폴리실리콘으로 형성한 상태에서 포토리소그래피와 에칭을 통해 액티브 패턴을 형성한 상태를 나타낸다.

도3은 도2의 상태에서 액티브 패턴 위로 게이트 절연막을 전면적 적층하고 그 위에 게이트 메탈을 적층한 상태를 나타낸다.

도4는 도3의 상태에서 포토리소그래피와 에칭을 통해 구동회로부 P형 트랜지스터부에서 게이트 패턴을 형성하고 포토레지스트를 제거한 다음 P형 불순물을 이온주입하는 상태를 나타낸다.

도5는 도4의 상태에서 전면적 크롬층을 적층하고 포토리소그래피와 에칭을 이용하여 N형 트랜지스터 게이트 및 화소부 캐퍼시터 전극 패턴을 형성한 상태를 나타낸다.

도6은 도5의 상태에서 포토레지스트를 제거하고 크롬 패턴을 이온주입 마스크로 N형 고농도 이온주입을 실시하는 상태를 나타낸다.

도7은 도6의 상태에서 크롬층을 제거하고 N형 저농도 이온주입을 실시하는 상태를 나타낸다.

도8은 도7의 상태에서 3가지 컬러층을 형성하고 패터닝한 상태를 나타낸다.

도9는 도8의 상태에서 콘택에 전극을 패터닝 형성하고 그 위에 유기 절연막을 두껍게 적층하여 평탄화한 다음 화소부 드레인 전극 위로 비아 콘택을 패터닝 형성하고 다시 그 위에 화소전극으로 ITO를 패터닝한 상태를 나타낸다.

도10의 (a),(b)는 이상의 작업에 적합한 마스크 패턴을 개략적으로 나타낸 것이다.

※도면 주요부분에 대한 부호의 설명

10: 글래스 기판	11: 블로킹(Blocking)층
12: 버퍼(buffer)	13: 액티브 패턴
15: 게이트 절연막	17: 게이트 메탈층
171: 게이트 패턴	172: 게이트
173: 캐퍼시터 전극	18: 포토레지스트
19: 크롬층	20: 드레인 영역
30: 소오스 영역	21,31: 콘택홀
22: 드레인 전극	32: 소오스 전극
40: 채널	50: LDD
60: 컬러층	70: 유기 절연막
80: 화소전극	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 박막트랜지스터층 패널 및 그 형성방법에 관한 것으로서 보다 상세하게는 컬러필터를 씌운 게이트 폴리실리콘형 박막트랜지스터의 층간절연막으로 사용하는 액정표시장치의 박막트랜지스터층 패널 및 형성방법에 관한 것이다.

근래에 표시장치와 관련하여 가장 활발하게 발전하고 있는 분야는 LCD 분야라고 할 수 있으며 특히 액티브 매트릭스 타입의 TFT LCD 분야의 발전은 현저한 것이다.

LCD는 개략적으로 두 장의 기판 사이에 액정을 주입하고 기판의 내측에 형성된 두 전극에 전압을 인가하여 사이에 존재하는 액정의 배열을 조절함으로써 기판에 부착되는 편광판과의 관계에서 빛을 투과시키거나 차단시키는 원리를 이용한 것이다.

TFT LCD는 표시장치의 화면을 이루는 개개 화소의 전극을 비선형 소자인 트랜지스터를 이용하여 조절하는 것으로 이때 트랜지스터는 반도체 박막을 이용하여 유리기판상에 형성된다. 그리고 TFT LCD는 사용되는 반도체 박막의 재질에 따라 아몰퍼스 실리콘 타입과 폴리 실리콘 타입으로 크게 나눌 수 있고 게이트의 위치에 따라 탑 게이트, 바텀 게이트 방식으로 나눌 수 있으며, 그 외에도 다양한 공정을 통해 다양한 형태로 형성되고 구분될 수 있다.

어느 경우나 공정 비용을 줄이고 수율을 높이기 위해 공정에서의 노광 단계의 수를 줄이려는 노력이 이루어지고 있는데, 아몰퍼스 실리콘의 경우 낮은 온도에서 CVD를 이용하여 형성할 수 있으므로 유리기판을 이용하는 LCD의 특성상 유리한 점이 있다. 그러나 아몰퍼스 실리콘의 경우 캐리어의 이동도가 낮아서 빠른 동작특성을 요하는 구동회로의 트랜지스터 소자를 형성하는 용도로는 적합하지 않다. 그러므로 유리기판상의 화소전극 내에서 스위칭용 트랜지스터 소자를 형성하는 데에 주로 사용된다. 이러한 사실은 LCD의 구동을 위한 IC는 별도로 제작하여 LCD 패널 주변부에 부착하여 사용해야 한다는 것을 의미하며 따라서 구동 모듈을 위한 공정이 증가하여 LCD 제작 비용이 상승하게 된다.

한편, 폴리 실리콘은 아몰퍼스 실리콘에 비해 캐리어의 이동도가 훨씬 크고 따라서 구동회로용 IC를 제작하기 위해서도 사용할 수 있다. 그러므로 폴리 실리콘을 LCD의 TFT 형성을 위한 반도체 박막으로 사용할 경우 일련의 공정을 통해 동일 유리기판에 화소전극을 위한 TFT 소자와 구동회로용 TFT 소자를 함께 형성할 수 있다. 이는 LCD 제작에서 모듈 공정의 비용을 절감하는 효과를 가져오며 동시에 LCD의 소비전력을 낮출 수 있는 이점도 있다.

그러나 폴리 실리콘을 사용하려는 경우, 유리기판에 폴리 실리콘 박막을 형성하기 위해서는 먼저 아몰퍼스 실리콘 박막을 저온 CVD 공정을 통해 형성하고 여기에 레이저 광선을 조사하는 등의 결정화를 위한 부가 공정이 필요하며, 캐리어 이동도가 높은만큼 형성된 트랜지스터에서 게이트 전압이 OFF 되는 순간 누설전류 (OFF Current)가 과도하게 흘러 화소부에서 충분한 전계를 유지시키지 못하는 문제가 있다. 이러한 off current 발생을 억제하는 방법으로는 박막 트랜지스터의 소오스 및 드레인 영역과 채널과의 접합부에 불순물 농도가 낮게 이온주입 한 LDD 영역 또는 불순물 이온주입이 되지 않은 오프셋 영역을 두어 OFF Current에 대한 배리어로 작용하도록 하는 방법을 일반적으로 사용한다. 그리고 N채널 TFT를 형성하는 공정 가운데 P채널은 이온주입을 막기 위해 봉인되고 P채널 TFT를 형성하는 동안에는 N채널 영역 또한 보호층으로 봉인되어야 한다.

이상의 폴리실리콘 TFT LCD의 제조방법을 고려하면 N채널과 P채널 TFT를 가지는 폴리실리콘 TFT LCD를 형성하기 위해서는 아몰퍼스 실리콘 방식의 TFT LCD에 비해 몇 단계 많은 노광 공정 즉, 8매 내지 9매의 마스크 작업이 이루어져야 하고 이러한 공정 단계 수의 증가는 제조비용의 상승으로 이어진다. 그러므로 폴리실리콘 타입의 경우보다 공정의 단계를 줄이는 방법의 개발이 절실히 요청되고 있다.

이하 근래에 개발된 액정표시장치의 탑 게이트 방식의 폴리실리콘형 TFT 형성방법의 한 예를 살펴보면 다음과 같다. 우선, 하부 글래스 기판에 실리콘 산화막 재질의 플로팅층을 덮고, 트랜지스터의 소오스 드레인과 캐퍼시터의 영역에 불순물이 함유된 실리콘층을 패터닝하여 버퍼(buffer)층을 만들고(제 1 마스크), 그 위로 아몰퍼스 실리콘을 적층하고 레이저를 조사하여 폴리실리콘으로 변화시킨 다음 트랜지스터의 액티브 영역만 남기는 액티브 패터닝을 실시한다(제 2 마스크). 다음으로 액티브 패턴 위로 실리콘 산화막이나 질화막으로 형성된 게이트 절연막을 적층하고 다시 알루미늄 네오디뮴(AINd) 합금의 게이트 메탈을 적층한다.

그리고 포토리소그래피와 에칭을 이용하여 기판 주변부 구동 회로를 위한 트랜지스터 영역의 p형 트랜지스터에서 게이트 전극 패터닝을 한다(제 3 마스크). 이로써 액티브 영역 위에 게이트 전극이 있는 탑 게이트 구조를 이룬다. 다음으로 잔여 포토레지스트를 제거하고 p형 이온주입을 통하여 p형 트랜지스터의 소오스 드레인 영역의 폴리실리콘을 불순물이 도핑된 폴리실리콘으로 하여 전극의 일부로 형성하게 된다. 다음에는 크롬층으로 전면을 적층하고 다시 포토리소그래피와 에칭을 이용하여 n형 트랜지스터의 게이트와 캐퍼시터 전극 패터닝을 실시한다(제 4 마스크). 이때 습식식각을 통해 크롬층 아래 알루미늄 네오디뮴(AINd: Aluminium Neodymium) 합금층은 언더 컷을 형성하게 한다.

상부 포토레지스트를 제거한 다음 크롬층을 이온주입 마스크로 고밀도 n형 이온주입을 실시하고, 크롬층을 제거한 상태에서 다시 저밀도 n형 이온주입을 실시하여 n형 트랜지스터에 LOD 구조를 형성한다. 그리고 이온주입된 영역을 활성화하기 위해 레이저로 어닐링을 하게 된다. 이렇게 형성된 트랜지스터 전극 구조에서 위로 절연막을 덮고 콘택을 패터닝한 다음(제 5 마스크) 그 위로 전극을 패터닝하여 형성한다(제 6 마스크). 또 전극 위로 유기 절연막을 형성하고 비아 콘택을 형성한 다음(제 7 마스크) 화소전극을 패턴 형성하여 전극구조를 일단락한다(제 8 마스크).

그리고 이에 대응하는 상판 글래스에는 블랙 매트릭스와 각 컬러형광막으로 이루어지는 컬러필터층을 이루고(4 마스크 공정) 그 위로 공통전극이 형성 된다.

한편, 근래에 개발되고 있는 기술로 트랜지스터 상에 컬러필터층을 형성하는 기술이 있다. 트랜지스터 전극을 형성한 다음 절연막으로 실리콘 산화막을 사용하고 컬러 액정표시장치의 경우 트랜지스터가 형성되는 하판에 대항되는 상판 내면에 컬러필터를 형성하는 것이 일반적인 것이나, 첨가 패터닝과 평탄화에 유리한 두꺼운 감광성 유기막을 트랜지스터 전극 위에 절연막으로 사용하게 되었다. 컬러 필터층도 감광성 유기막으로 형성되는 경우가 많으므로 그 공통성을 이용하여 층을 하나 없애고 기능을 겸하게 한다는 기술적 사상에서 상판에 컬러필터층을 형성하는 대신에 트랜지스터 상부에 컬러 필터층을 형성하여 컬러 필터 기능을 하게 함과 동시에 트랜지스터의 절연막으로 하는 것이다.

컬러필터를 트랜지스터 상의 절연막으로 사용하는 경우 대개 하판은 보다 복잡하고 정밀한 공정을 할 필요가 있으나 반대로 상판의 경우 공정이 매우 줄어들게 된다. 또한 하판 트랜지스터 위에 컬러 필터를 형성하면서 주변막과의 관계를 이용하여 상판에 컬러 필터를 형성할 때 들어야 했던 공정 부담보다 훨씬 줄어든 공정부담으로 컬러 필터층을 형성할 수도 있다. 더욱이 개구율을 높이거나 표면 평탄화도 셀 갭 차이를 줄일 수 있으므로 트랜지스터 상의 절연막으로 컬러필터층을 이용하는 여러 가지 형태의 공정기술 연구되고 있다.

발명이 이루고자하는 기술적 과제

본 발명에 전체 공정단계를 줄여야 하는 것이 큰 과제가 되고 있는 폴리실리콘 트랜지스터형 액정표시장치 제조에 있어서 컬러필터를 트랜지스터상에 형성하는 형태의 새로운 액정표시장치의 박막트랜지스터층 판넬 및 그 형성방법을 제공하여 전체 공정을 줄이고 구조상의 이점으로 화질을 개선할 수 있도록 하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명인 액정표시장치의 박막트랜지스터층 판넬은 판넬 내면에 형성된 탑 게이트 방식 폴리실리콘형 박막트랜지스터에서 컬러필터층이 트랜지스터의 게이트 전극 바로 위에 형성되고 상기 컬러필터층을 통과하면서 이루어지는 콘택을 통해 소오스 드레인 전극이 각각 폴리실리콘층으로 형성된 소오스 드레인 영역과 전기적 접속을 이루는 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명의 액정표시장치 박막트랜지스터층 판넬의 형성방법은 근래에 개발된 폴리실리콘형 LCD의 하판 전극 구조를 형성하는 방법과 같이 일단 글래스 기판에 폴리실리콘층 액티브 패턴을 형성하고, 상기 액티브 패턴 위로 게이트 절연막을 적층하고 다시 게이트 메탈층을 적층, p형 트랜지스터의 게이트 패터닝, p형 이온주입, 게이트 보조 메탈층 적층, n형 트랜지스터 게이트 전극 언더 컷 구조 패터닝, 고농도 n형 이온주입, 게이트 보조 메탈층 제거 단계를 통해 형성한 박막 트랜지스터 전극 위로 종래의 단순 절연막 대신, 3 단계로 감광성 유기 절연막으로 이루어진 컬러층을 적층하고 콘택을 제외한 해당 화소부와 주변부에 패턴을 형성한 다음, 컬러층 위로 다시 종래의 방법과 같이 전극층을 적층 패터닝하여 전극을 형성하고, 전극 위로 유기 절연막을 형성하고 비아 콘택을 형성한 다음 화소전극을 패턴 형성하여 전극구조를 일단락한다.

따라서 본 발명에서 핵심을 이루는 것은 종래의 트랜지스터 전극 상의 절연막 형성 패터닝 단계에서 절연막 대신 컬러층을 적층 패터닝하여 폴리실리콘형 액정표시장치의 하부 전극 구조를 이룬다는 것이다. 컬러층을 적층 패터닝하는 단계를 전후한 박막 트랜지스터의 형성과 화소전극 형성에서는 다양한 방법이 존재하며, 그 구조가 본 발명과 같은 폴리실리콘형 탑 게이트 구조를 이루고 전극을 콘택을 통해 위로

형성하는 형태를 취하는 한도에서 본 발명의 방법은 적용될 수 있다.

본 발명에 따라 하부 전극을 형성한 경우에서 상부 기판에는 컬러층을 제외한 블랙 매트릭스층과 공통전극층이 형성될 것이다. 경우에 따라서는 트랜지스터의 전극 구조에서 데이터 라인이나 게이트 라인이 화소 사이에 형성되어 블랙 매트릭스의 역할을 하고 별도의 블랙 매트릭스의 형성은 이루어지지 않을 수도 있을 것이다.

한편, 일반적으로 컬러 필터는 화소부가 존재하는 디스플레이면에만 형성하는데 본 발명에서와 같이 폴리실리콘막으로 구동회로도 함께 형성되는 경우에는 구동회로부의 트랜지스터에 대한 절연막도 함께 형성되어야 하고 컬러층이 절연막의 역할을 하므로 디스플레이면 외에도 컬러층을 적층하여야 한다. 반면 3가지 컬러층 모두를 구동회로가 있는 글래스 주변부에 중첩하여 형성시킬 필요는 없는 것이므로 3 컬러 가운데 하나를 형성할 때만 글래스 주변부에도 컬러층을 남기도록 패턴 마스크를 제작, 사용할 것이다.

이하 도면을 참조하면서 본 발명의 실시예를 통해 본 발명을 좀 더 살펴보기로 한다.

도1은 글래스 기판(10)에 블로킹(Blocking)층(11)으로 실리콘 산화막을 전면 적층한 다음 n형 불순물을 첨가한 실리콘막으로 버퍼(buffer:12) 패턴을 형성한 상태를 나타낸다. 패턴 형성을 위해서는 우선 불순물이 첨가된 실리콘막을 적층하고 포토레지스트를 도포한 다음 패턴 마스크를 이용하여 노광을 한 후 현상으로 포토레지스트 패턴을 만든 다음 이를 식각 마스크로 에칭을 실시하는 공정을 거쳐게 된다. 잔여 포토레지스트는 스트립으로 제거한다.

도2는 도1의 상태에서 전면에 LPCVD(저압 화학기상증착)를 통해 아몰퍼스 실리콘막을 적층하고 레이저 조사를 통해 부분적인 결정화를 실시하여 저온 폴리실리콘으로 형성한 상태에서 포토리스그래피와 에칭을 통해 트랜지스터가 형성되는 액티브 패턴(13)을 형성한 상태를 나타낸다.

도3은 도2의 상태에서 액티브 패턴(13) 위로 게이트 절연막(15)을 실리콘 산화막 재질로 전면에 적층하고 다시 그 위에 알미늄 네오디움 합금층의 금속층으로 게이트 메탈층(17)을 적층한 상태를 나타낸다. 그리고 다음 단계로 넘어가기 전에 전면을 포토레지스트로 보호하고 글래스 기판의 후면에 적층되어 있던 아몰퍼스 실리콘을 제거한다. 후면의 아몰퍼스 실리콘은 전면의 액티브 패턴을 위한 아몰퍼스 실리콘 형성시 함께 적층된 것이다. 공정후 포토레지스트는 제거한다.

도4는 도3의 상태에서 포토리스그래피와 에칭을 통해 구동회로부 즉 글래스 주변부의 p형 트랜지스터부에서 게이트 패턴(171)을 형성하고 포토레지스트를 제거한 다음 p형 불순물을 이온주입하는 상태를 나타낸다. p형 불순물로는 B_2H_6 를 이용한다.

도5는 도4의 상태에서 전면에 상기 금속층과 에칭 선택비가 있는 크롬층(19)등의 금속층을 적층하고 포토리스그래피와 에칭을 이용하여 n형 트랜지스터 게이트(172) 및 화소부 캐퍼시터 전극(173) 패턴을 형성한 상태를 나타낸다. 이때 p형 트랜지스터 영역은 포토레지스트를 이용하여 보호되며, 식각은 등방성 습식식각으로 이루어져 크롬층(19) 아래 알미늄 네오디움 합금이 언더 컷을 이루고 있다.

도6은 도5의 상태에서 포토레지스트를 제거하고 크롬층(19) 패턴을 이온주입 마스크로 n형 고농도 이온주입을 실시하는 상태를 나타낸다. 그리고 도7은 도6의 상태에서 크롬층을 제거하고 n형 저농도 이온주입을 실시하는 상태를 나타낸다. 이들 단계를 통해 소오스 드레인 영역(30,20)과 채널(40)의 n형 트랜지스터 구조가 이루어지면서 채널 인근에 LOD(50) 구조가 이루어진다. 그리고 이온주입 다음으로는 이온주입시의 결정구조의 손상에 따른 전기저항 증가를 없애고 불순물의 확산을 위해 레이저 어닐링을 실시하게 된다.

도8은 도7의 상태에서 3가지 컬러층(60)을 형성하고 패턴닝한 상태를 나타낸다. 디스플레이면에는 3가지 컬러가 각각 마스크 작업을 통해 다른 화소영역에 형성되지만 도면은 하나의 화소를 기준으로 한 것이므로 하나의 컬러층(60)이 형성된 하나의 화소부만 나타내고 있다. 즉 R 컬러가 적층되고 패턴닝을 통해 해당 화소부와 글래스 기판 주변부 구동회로부에만 남겨지고 다음으로 G 컬러가 전면에 적층된 다음 패턴닝을 통해 해당 화소부에만 남겨지고 다시 B 컬러가 적층된 다음 해당 화소에만 남겨져 전체적인 컬러 필터층을 형성하면서 동시에 컬러 필터층이 트랜지스터의 절연막의 역할을 하게 된다. 도10의 (a), (b)는 이상의 작업에 적합한 마스크 패턴을 개략적으로 나타낸 것이며, 특히 컬러층을 스트라이프 타입으로 형성하는 경우다. (a)는 글래스 주변부까지 형성되는 R 컬러에 대한 마스크 패턴이며, (b)는 화면부분에만 형성되는 G, B 컬러에 대한 마스크가 된다.

컬러층은 감광성 유기 절연막으로 이루어져 별도의 에칭이 없이 노광과 현상을 통해 해당 화소부에 패턴 형성된다. 그리고 소오스 드레인 영역(30,20) 상부의 콘택홀(31,21)도 컬러층 패턴닝 과정을 통해 컬러층(60)에 형성된 홀 저부에 드러난 게이트 절연막을 컬러층 패턴을 식각마스크로 더 식각하여 형성한다.

도9는 도8의 상태에서 콘택에 소오스 드레인 전극(32,22)을 패턴 형성하고 그 위에 유기 절연막(70)을 두껍게 적층하여 평탄화한 다음 화소부 드레인 전극(22) 위로 비아 콘택을 패턴 형성하고 다시 그 위에 화소전극(80)으로 ITO를 패턴형성한 상태를 나타낸다. 여기에 사용된 유기 절연막도 컬러층과 같이 감광성 재료를 사용하여 별도의 에칭작업 없이 현상만으로 비아 콘택의 콘택 홀을 형성할 수 있는 것이 바람직하다.

콘택의 전극은 올리브덴 텅스텐 합금과 알미늄 네오디움 합금의 복층으로 이루어진다. 따라서 데이터 라인도 이 복층의 합금으로 이루어진다.

이상 LCD 패널의 하판 형성에 대해서 언급하였으나 이에 따른 상판에서 본 발명의 효과를 거둘 수 있다. 즉 상판에서 종래와 같이 컬러 필터층을 형성하기 위해서 4개의 마스크 공정을 할 필요가 없이 1개의 마스크 공정 즉 블랙 매트릭스 형성만 하면 되고, 데이터 라인이나 게이트 라인이 화소 사이에 형성될 경우 블랙 매트릭스마저도 형성하지 않을 수 있다. 따라서 본 발명을 적용할 경우 하판의 형성과정에서 절연막을 별도로 적층하고 포토리스그래피와 에칭을 통해 콘택을 형성하던 것을 생략하게 되어 블랙 매트릭스까지 형성하지 않을 경우 하나의 마스크 공정을 더 절약할 수 있음과 더불어 상부 글래스 기판

에는 패턴 형성에 따른 기판면상의 굴곡이 없으므로 작업에 편리하고 러빙이나 공통 전극의 형성에서 패턴이 들어가는 경우 등에서 부수적인 편리함이 있다.

발명의 효과

본 발명에 따르면 컬러층이 트랜지스터 전극 위에서 절연막의 역할을 하므로 별도 절연막 형성과 패터닝에 따른 포토리소그래피와 에칭 공정을 줄일 수 있으며 그 구조에 따라 개구율을 향상시킬 수 있고, 표면 평탄화에 유리하므로 셀 겹 균일에 따른 화질의 향상을 가져올 수 있다.

(57) 청구의 범위

청구항 1

액정표시장치 패널의 트랜지스터층 전극을 형성함에 있어서,

글래스 기판에 폴리실리콘층 액티브 패턴을 형성하는 단계,

상기 액티브 패턴 위로 게이트 절연막을 적층하고 다시 게이트 메탈층을 적층하여 P형 트랜지스터의 게이트 전극을 패터닝하여 형성하는 단계,

P형 트랜지스터 영역에 이온주입을 실시하고, 게이트 보조 메탈층 적층한 다음, N형 트랜지스터에서 게이트 전극을 식각으로 형성하면서 언더 컷 구조를 이루는 단계,

N형 트랜지스터 영역에 고농도 N형 이온주입을 하고, 게이트 보조 메탈층 제거하는 단계,

각 컬러에 대해 감광성 유기 절연막으로 이루어진 컬러층을 적층하고 패터닝하여 콘택을 제외한 해당 화소부 및 해당 글래스 영역에 컬러 필터층을 형성하는 단계,

컬러 필터층 위로 전극층을 적층 패터닝하여 소오스 드레인 전극을 형성하는 단계,

드레인 전극 위로 유기 절연막을 형성하고 비아 콘택을 형성한 다음 화소전극을 패터닝 형성하는 단계를 순차적으로 구비하여 이루어지는 것을 특징으로 하는 액정표시장치의 트랜지스터층 패널 형성방법.

청구항 2

제 1 항에 있어서,

트랜지스터의 게이트 라인 또는 데이터 라인은 화소전과 화소전극 사이에 형성되도록 배치한 것을 특징으로 하는 액정표시장치의 트랜지스터층 패널 형성방법.

청구항 3

제 1 항에 있어서,

상기 각 컬러층은 스트라이프 타입으로 형성되는 것을 특징으로 하는 액정표시장치의 트랜지스터층 패널 형성방법.

청구항 4

제 1 항 또는 제 3 항에 있어서,

상기 각 컬러층 가운데 적어도 어느 한 컬러층은 화소부 외에 글래스 기판 주변의 구동회로부 전체에도 남아 절연막을 형성하는 것을 특징으로 하는 액정표시장치의 트랜지스터층 패널 형성방법.

청구항 5

제 1 항에 있어서,

상기 액티브 패턴 형성 전에 소오스 드레인 전극 및 캐퍼시터 전극 영역에 버퍼층을 패터닝 형성하는 단계와 게이트 보조 메탈층 제거 후 저농도 N형 이온주입을 실시하는 단계가 더 구비되어 이루어지는 것을 특징으로 하는 액정표시장치의 트랜지스터층 패널 형성방법.

청구항 6

패널 내면에 형성된 탑 게이트 방식 폴리실리콘형 박막트랜지스터에 있어서, 컬러필터층이 박막트랜지스터의 게이트 전극 바로 위로 형성되고 상기 컬러필터층으로 형성된 홀을 통과하면서 이루어지는 콘택을 통해 소오스 드레인 전극이 각각 폴리실리콘층으로 형성된 소오스 드레인 영역과 전기적 접속을 이루는 것을 특징으로 하는 액정표시장치의 박막트랜지스터층 패널.

청구항 7

제 6 항에 있어서,

상기 탑 게이트 방식 폴리실리콘형 박막트랜지스터는

글래스 기판상에 폴리실리콘층으로 형성되어 상기 소오스, 드레인 영역을 포함하는 액티브 패턴,

상기 액티브 패턴 상에 형성되며 상기 콘택 영역에서는 홀을 형성하는 게이트 절연막,

상기 게이트 절연막 위로 형성되며 상기 게이트 전극과 게이트 라인을 포함하는 게이트 패턴,

상기 컬러필터층,

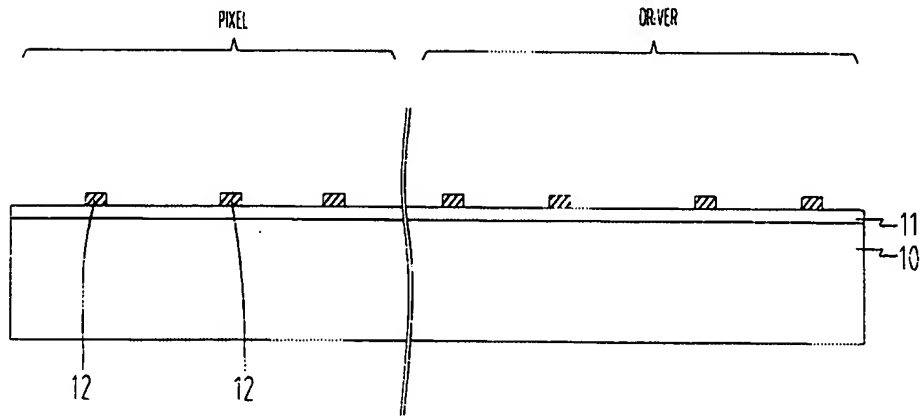
상기 콘택 영역의 상기 게이트 절연막과 상기 컬러필터층으로 형성된 상기 흡을 통해 상기 액티브 패턴의 상기 소오스, 드레인 영역과 전기적으로 접속되는 상기 소오스, 드레인 전극 및 데이터 라인을 포함하는 소오스 드레인 전극층,

상기 소오스 드레인 전극층 위로 형성되며 상기 드레인 전극 위에 콘택층을 형성하는 절연층 및

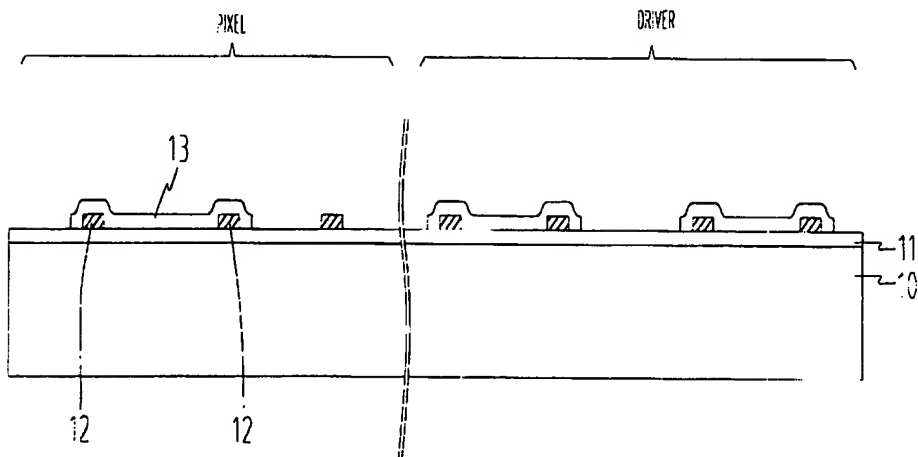
상기 절연층 위에 형성되며 상기 콘택층을 통하여 상기 드레인 전극과 전기적으로 접속되는 화소전극 패턴을 구비하여 이루어지는 것을 특징으로 하는 액정표시장치의 박막트랜지스터층 패널.

도면

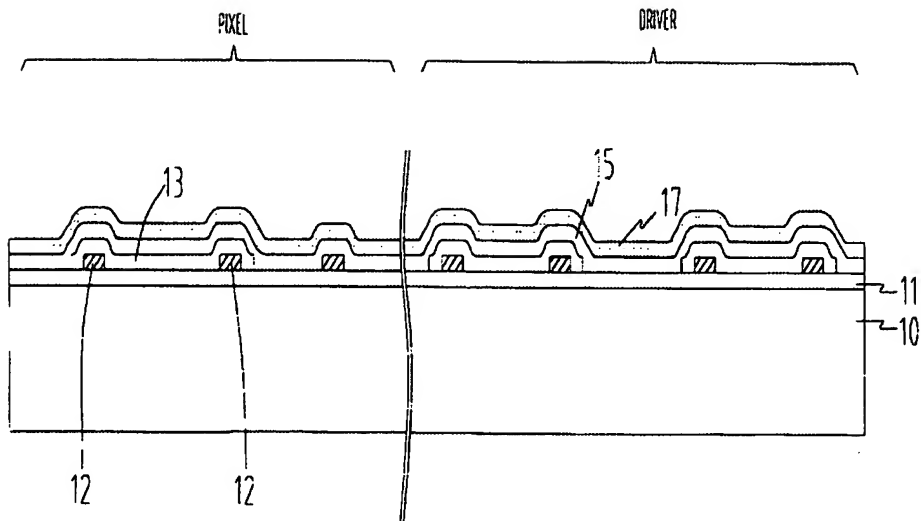
도면1



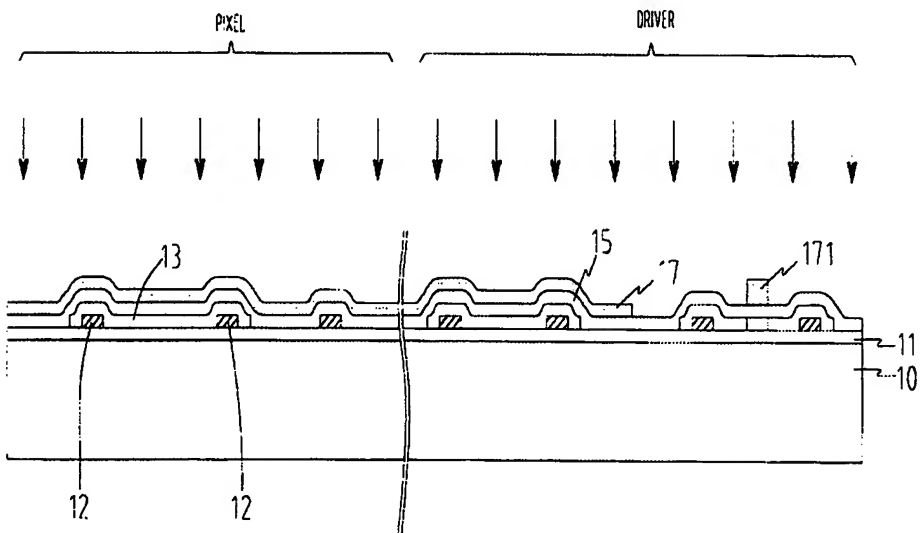
도면2



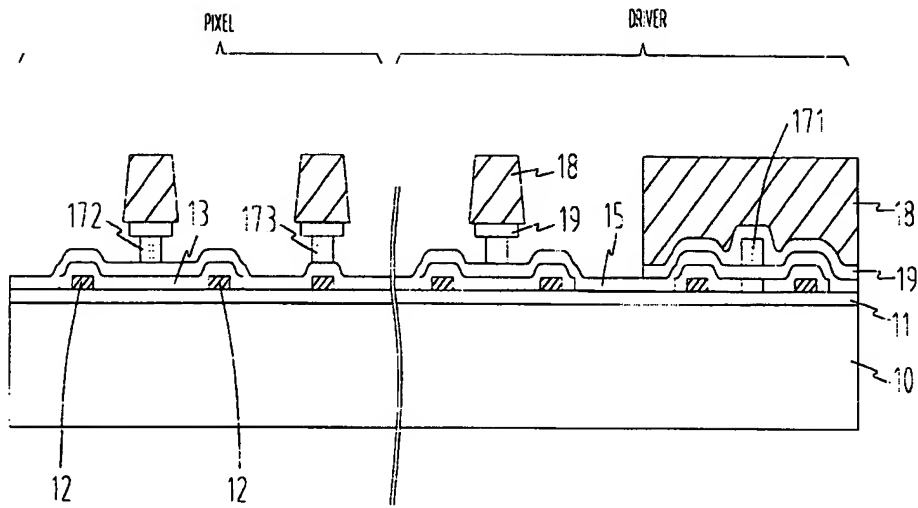
도면3



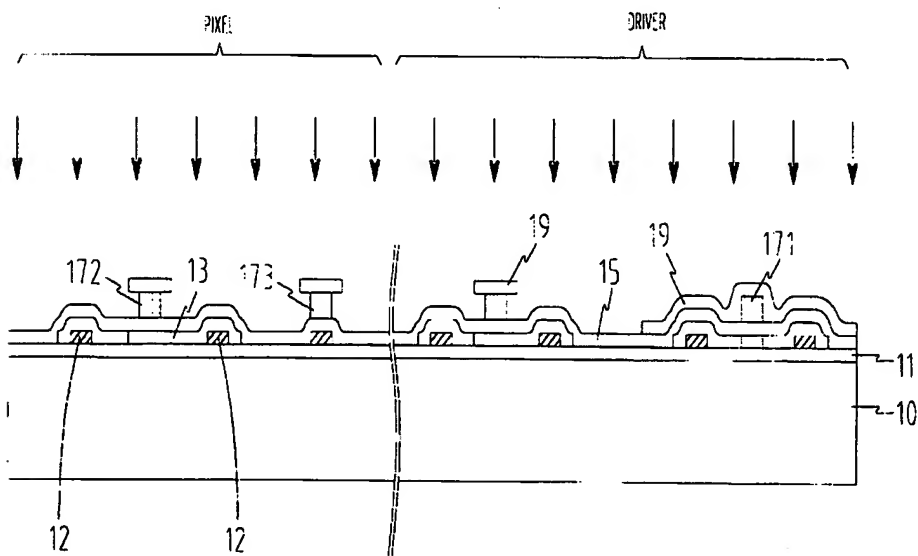
도면4



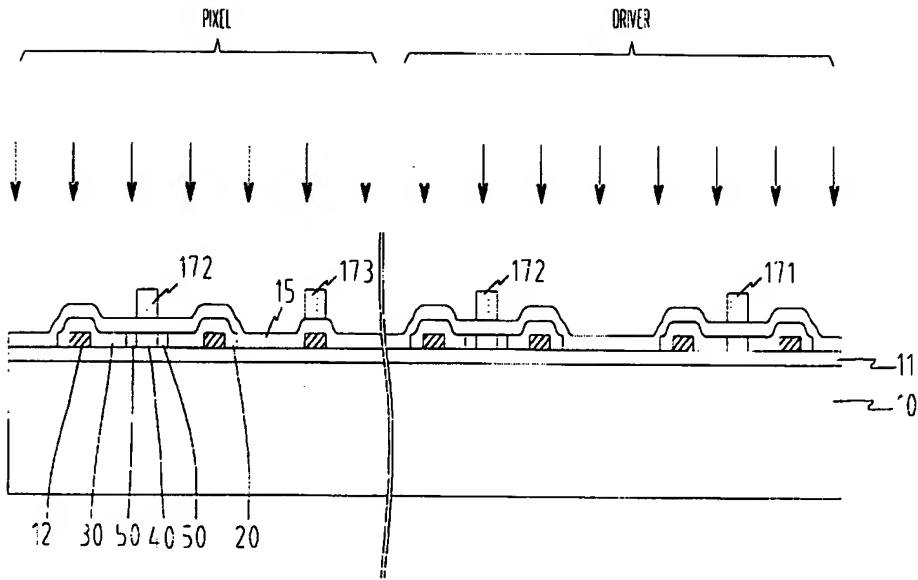
도면5



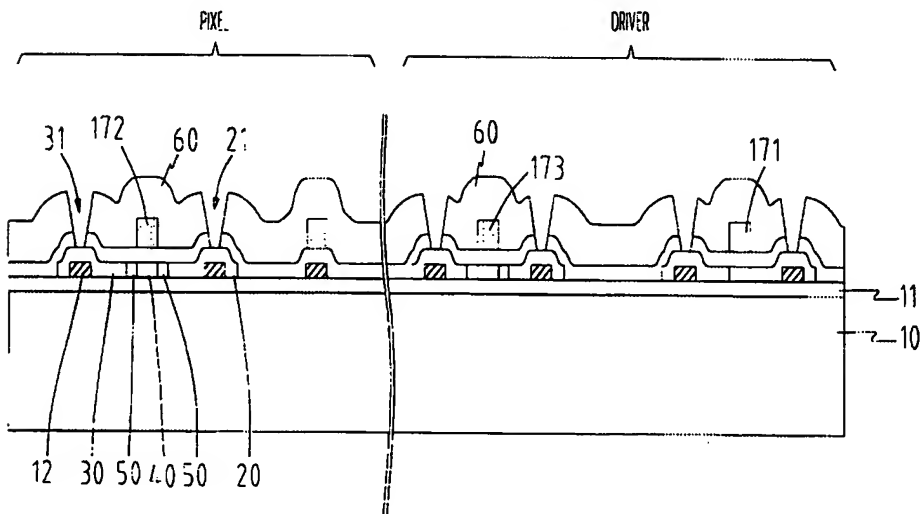
도면6



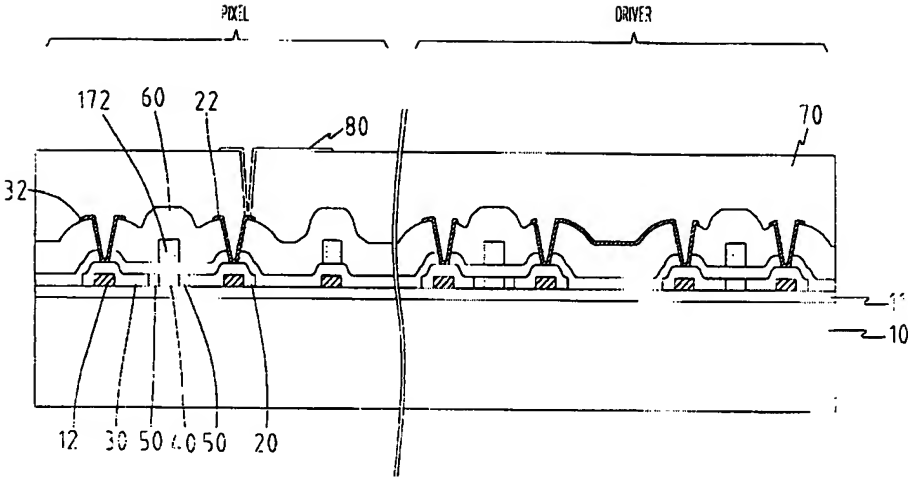
도면7



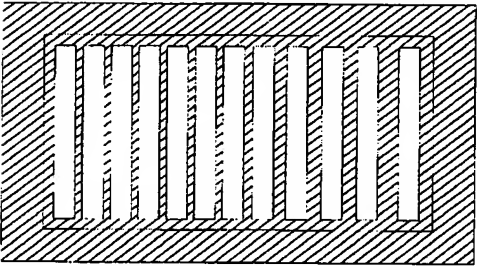
도면8



도면9



도면 10a



도면 10b

